

**PCT**WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales BüroINTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

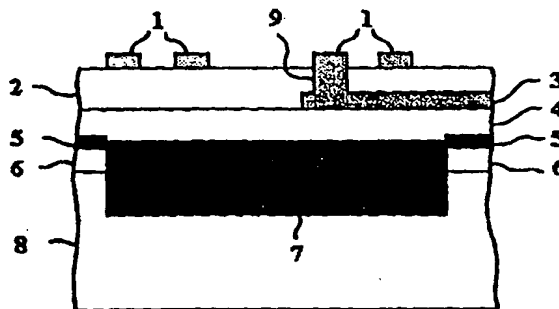
(51) Internationale Patentklassifikation ⁶ : H01L 27/12		A2	(11) Internationale Veröffentlichungsnummer: WO 99/33114
		(43) Internationales Veröffentlichungsdatum:	1. Juli 1999 (01.07.99)
(21) Internationales Aktenzeichen: PCT/DE98/03794 (22) Internationales Anmeldedatum: 18. Dezember 1998 (18.12.98) (30) Prioritätsdaten: 197 58 349.0 22. Dezember 1997 (22.12.97) DE 198 47 440.7 8. Oktober 1998 (08.10.98) DE (71) Anmelder (für alle Bestimmungsstaaten ausser US): INSTITUT FÜR HALBLEITERPHYSIK FRANKFURT (ODER) GMBH [DE/DE]; Walter-Korsing-Strasse 2, D-15230 Frankfurt (DE). (72) Erfinder; und (75) Erfinder/Anmelder (nur für US): ERZGRÄBER, Heide, B. [DE/DE]; Oderpromenade 4, D-15230 Frankfurt (DE). BOLZE, Klaus-Detlef [DE/DE]; Birkenallee 12, D-15232 Frankfurt (DE). GRABOLLA, Thomas [DE/DE]; Berendstrasse 25, D-15232 Frankfurt (DE). WOLFF, André [DE/DE]; Fischerstrasse 31c, D-15230 Frankfurt (DE). (74) Anwalt: HEITSCH, Wolfgang; Göhlsdorfer Strasse 25g, D-14778 Jeserig (DE).		(81) Bestimmungsstaaten: JP, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). Veröffentlicht <i>Ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts.</i>	

(54) Title: SEMICONDUCTOR SUBSTRATE WITH EMBEDDED ISOLATING LAYER FOR INTEGRATED CIRCUITS

(54) Bezeichnung: HALBLEITER SUBSTRAT MIT VERSENKTER ISOLATIONSSCHICHT FÜR INTEGRIERTE SCHALTUNG

(57) Abstract

The invention relates to an integrated circuit with reduced parasitic capacitive influences and a method for producing same. The aim of the invention is to provide an integrated circuit with reduced parasitic capacitive influences and a method for producing same, in which the parasitic capacitive influences on individual elements of the integrated circuit are reduced. A further aim of the invention is for the technological process for producing the contact and printed circuit system of modern CMOS technology not to be adversely influenced during production and, in particular, to ensure that no additional planarising steps are required. To this end the invention provides for a partial isolating layer which is at least 5 µm thick, is locally restricted to the area of the elements of the integrated circuit and is embedded in the semiconductor substrate. Those losses caused by parasitic influences which are affected by the specific electric resistance of the silicon substrate used are reduced markedly so that, for example, the quality of an integrated inductor can be raised by approximately 40 %, depending on the chosen thickness of the embedded isolating layer, and in relation to planar inductors based on conventional CMOS.



(57) Zusammenfassung

Die Erfindung bezieht sich auf eine integrierte Schaltung mit verringerten parasitären kapazitiven Einflüssen und ein Verfahren zu ihrer Herstellung. Aufgabe der Erfindung ist es, eine integrierte Schaltung mit verringerten parasitären kapazitiven Einflüssen und ein Verfahren zu ihrer Herstellung vorzuschlagen, bei denen die parasitären kapazitiven Einflüsse auf einzelne Elemente der integrierten Schaltung verringert sind. Weiterhin soll bei der Herstellung der technologische Ablauf zur Realisierung des Kontakt- und Leitbahnsystems moderner CMOS-Technologien nicht nachteilig beeinflusst sein und insbesondere keine zusätzlichen Planarisierungsschritte erforderlich werden. Diese Aufgabenstellung wird durch eine partielle, mindestens 5 µm dicke Isolierschicht, die auf den Bereich der Elemente der integrierten Schaltung lokal begrenzt und im Halbleitersubstrat versenkt ist, gelöst. Die durch parasitäre Einflüsse bedingten Verluste, die vom spezifischen elektrischen Widerstand des verwendeten Siliziumsubstrates abhängig sind, werden stark verringert, so daß sich z.B. die Güte einer integrierten Induktivität in Abhängigkeit von der gewählten Dicke der vergrabenen Isolierschicht um ca. 40 % und darüber hinaus gegenüber planaren Induktivitäten auf konventioneller CMOS-Basis erhöhen läßt.

THIS PAGE BLANK (USPTO)

特表平13-527292

1 ページ

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2001-527292

(P2001-527292A)

(43) 公表日 平成13年12月25日 (2001. 12. 25)

(51) Int.Cl.⁷

識別記号

FI

データベース (参考)

H01L 27/04

H01L 27/12

L 5F038

21/822

27/04

L

27/12

C

審査請求 未請求 予備審査請求 有 (全 23 頁)

(21) 出願番号 特願2000-525928(P2000-525928)
 (86) (22) 出願日 平成10年12月18日 (1998. 12. 18)
 (85) 翻訳文提出日 平成12年6月22日 (2000. 6. 22)
 (86) 国際出願番号 PCT/DE98/03794
 (87) 国際公開番号 WO99/33114
 (87) 国際公開日 平成11年7月1日 (1999. 7. 1)
 (31) 優先権主張番号 197 58 349. 0
 (32) 優先日 平成9年12月22日 (1997. 12. 22)
 (33) 優先権主張国 ドイツ (DE)
 (31) 優先権主張番号 198 47 440. 7
 (32) 優先日 平成10年10月8日 (1998. 10. 8)
 (33) 優先権主張国 ドイツ (DE)

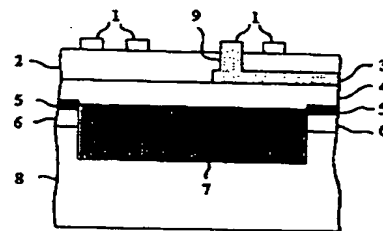
(71) 出願人 アイハービー ゲーエムベアー インノ
 ヴェーションズ フォー パフォーマンス
 マイクロエレクトロニクス インスティテ
 ユート フュア イノヴェーティブ マイ
 クロエレクトロニクス
 ドイツ連邦共和国 デー-15236 フラン
 クフルト (オーデル) イム テクノロジ
 ーパーク 25
 (72) 発明者 エルツグロイバール ハイデ ベー
 ドイツ連邦共和国 デー-15230 フラン
 クフルト オーデルプロメナーデ 4
 (74) 代理人 弁理士 藤村 元彦 (外1名)

最終頁に続く

(54) 【発明の名称】 集積回路のための埋設絶縁層を有する半導体基板

(57) 【要約】

本発明は、寄生容量性の影響を低減した集積回路及び、その製造方法に関する。本発明の目的は、寄生容量性の影響を低減した集積回路とその製造方法とを提案し、集積回路のそれぞれの要素の寄生容量性の影響は低減されている。それに加えて、現代のシーモス技術の接触及び導電系を実現するための技術的シーケンスは、製造の間、不利な影響を受けず、特に、追加的なプレーナ化行程は必要にならない。その目的は、少なくとも5マイクロメートルの厚さの少なくとも局所的に絶縁された層であって、集積回路の要素の領域に限られて、半導体基板に埋設された層によって実現される。寄生的影響及び使用されるシリコン基板の一定の電気的抵抗に依存する損失は相当に低減され、その結果、選択された埋設絶縁層の厚さに依存して、集積インダクタンスの質は従来のシーモスに依存するプレーナインダクタンスに較べると40%向上する。



THIS PAGE BLANK (USPTO)

【特許請求の範囲】

【請求項 1】 寄生容量性の影響を低減した集積回路であって、その半導体基板（8）に埋設されている部分絶縁層（7）が少なくとも 5 マイクロメートルの厚さであり、前記集積回路の特定の領域に局限されていることを特徴とする集積回路。

【請求項 2】 請求項 1 に記載の集積回路であって、半導体基板（8）に埋設されて厚さが少なくとも 5 マイクロメートルの部分絶縁層（7）の局限された領域が 1 以上の集積インダクタンス、1 以上の集積レジスタ、1 以上の集積キャパシタ、1 以上の集積結合パッド及び／又は 1 以上の導体であることを特徴とする請求項 1 記載の集積回路。

【請求項 3】 請求項 2 記載の集積回路であって、その集積インダクタンスが、らせん形成のための少なくとも 1 の上部金属面（1）と、絶縁層（2）と、内部コネクタ（10）の接触を形成するための下部金属面（3）と、絶縁層（4）と、酸化物領域層（5）と、チャネル停止層（6）と、少なくとも 5 マイクロメートルの厚みを有する埋設部分絶縁層（7）と、並びに、半導体基板（8）と、を含むことを特徴とする集積回路。

【請求項 4】 部分埋設絶縁部を含む集積回路の製造方法であって、シリコンウェーハの表面をマスキングする行程と、異方性エッチングによってモートとリブを形成する行程と、選択的犠牲酸化の行程、即ち、リブとモートの幅の間の比率を最適化するために酸化物を除去することによるリブの部分的減酸素の行程と、全リブを二酸化ケイ素に酸化させ、そして、少なくとも表面に隣接するモートをシリコン酸化物の析出によって満たす行程と、

前記集積回路の前記各要素を製造するためのシーモス処理又はシーモス互換シリコン処理行程と、を含み、前記集積回路の前記要素を製造するための前記所与の処理に特有の部分的行程を利用して、寄生的影響を低減された前記要素が前記厚い酸化物の埋設された領域の上に形成されることを特徴とする方法。

【請求項 5】 請求項 4 記載の方法であって、前記シリコンウェーハの前記表面をマスキングする行程と、

モートとリブを異方性エッチングによって形成する行程と、
選択的犠牲酸化の行程、即ち、前記リブと前記モートの幅の間の比率を最適化するために酸化物を除去することによる前記リブの部分的減酸素の行程と、
前記全リブを二酸化ケイ素に酸化させ、そして、少なくとも前記表面に隣接する前記モートをシリコン酸化物の析出によって満たす行程と、
前記埋設された厚い酸化物の前記領域の上に、前記所与の処理に存在する前記接触及び導体系を用いて、インダクタンスを製造するためのシーモス処理又はシーモス互換シリコン処理行程と、
を含むことを特徴とする方法。

【請求項6】 請求項4又は5に記載の方法であって、少なくとも5マイクロメートルの深さのモートをエッチングする行程であり、前記リブとモートの前記幅が選択されて、その結果、続いて前記リブが酸化によって二酸化ケイ素に完全に変換される間に、残留幅が約100ナノメートルから300ナノメートルの間でない限り、前記モートは閉じられることを特徴とする方法。

【請求項7】 請求項4乃至6に記載の方法であって、0.8マイクロメートルのリブ幅と、1.2マイクロメートルのモート幅とが形成されるように、モートを少なくとも5マイクロメートルの深さにエッチング処理することを特徴とする方法。

【請求項8】 請求項4乃至6に記載の方法であって、0.8マイクロメートルのリブ幅と、1.2マイクロメートルのモート幅に形成されるように、モートを少なくとも5マイクロメートルの深さに引き続く追加的な酸化行程によって形成することを特徴とする方法。

【請求項9】 集積回路を製造する方法であって、
p型シリコンウェーハの前記表面をマスクングする行程と、
マスクングされていない前記p型シリコンの前記領域を多孔質シリコンに変換する行程と、
前記多孔質シリコン層を二酸化ケイ素に酸化する行程と、
前記埋設した厚い酸化物領域の上に前記集積回路の前記各要素を製造するためのシーモス処理又はシーモス互換シリコン処理の行程と、を含み、前記集積回路

の前記要素を製造するための前記所与の行程に特有な前記部分的行程を利用することによって、特に寄生的影響を低減した要素が形成されることを特徴とする方法。

【請求項 10】 請求項 9 記載の方法であって、
p 型シリコンウェーハの前記表面をマスクングする行程と、
マスクングされていない前記 p 型シリコンの前記領域を多孔質シリコンに変換する行程と、
前記多孔質シリコン層を酸化シリコンに酸化する行程と、
前記所与の処理に存在する接触及び導体系を利用して、前記厚い埋設酸化物の前記領域の上にインダクタンスを製造するシーモス処理又はシーモス互換シリコン処理行程と、
を含むことを特徴とする方法。

【請求項 11】 請求項 9 又は 10 に記載の方法であって、前記 p 型シリコンの前記マスクングされない領域を多孔質シリコンに変換する行程が、5 マイクロメートルから 20 マイクロメートルの厚さの前記多孔質シリコン層に対してなされることを特徴とする方法。

【請求項 12】 請求項 9 乃至 11 記載の方法であって、前記変換は陽極反応によってフッ化水素酸の中で実行されることを特徴とする方法。

【請求項 13】 請求項 9 乃至 12 記載の方法であって、前記多孔質シリコン層の前記所望の厚さが、電流強度と時間によって設定されることを特徴とする方法。

【請求項 14】 請求項 9 乃至 13 記載の方法であって、前記変換の間の前記電流密度は 1 平方センチメートル当たり 40 ミリアンペアから 100 ミリアンペアであり、好適には 1 平方センチメートル当たり 40 ミリアンペアから 50 ミリアンペアであることを特徴とする方法。

【請求項 15】 請求項 9 乃至 14 記載の方法であって、前記フッ化水素酸の質量比濃度が 40 % から 50 % であることを特徴とする方法。

【請求項 16】 請求項 9 乃至 15 記載の方法であって、前記変換に従う前記シリコンの有孔率は約 56 % であることを特徴とする方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、寄生容量性の影響を低減した集積回路、及び、その製造方法に関する。

【0002】

【従来技術】

寄生容量性の影響の低減は、特に現代のシーモス技術においてずっと重要性を増している。集積回路がバイホーラ技術によって実現される場合、インダクタンス又は他の受動素子の基板固有の容量性及び抵抗損は、高抵抗又は半絶縁基板を使用することによって低く押さえられ得る。しかし、低コスト、低電力消費及び小型化の故に、シーモス技術がより好まれると推測されよう。

【0003】

例えば、インダクタンスのような受動素子の集積化は特に、緊急に必要であり、特にシリコン基板上のモノリシックRF（高周波）トランシーバスイッチング回路を実現するために必要である。この種の受動素子に対するギガヘルツ（GHz）範囲におけるインピーダンス整合が必要である。シーモス技術がセルラ方式又はLANのためのRFトランシーバを製作する要求事項を満たす場合、このことは通常使用される低抵抗のSi基板（一般的に1から10オームセンチメートル（ Ωcm ））の故に、インダクタンスの所望された高い品質は先験的（a priori）に達成され得ないことを意味する。とりわけ、これらの受動素子を最適化することは、抵抗損失及び容量性寄生を最小にすることによって、品質要因を最大にすることである。基板固有の損失は、可能な限りインダクタンスのらせん形のパスをシリコン基板から除去することによって減少可能であり、それは例えばマルチ層導体系において、らせんのための最上層を使用することによって可能であり、その結果、らせんと基板との間に十分な絶縁厚さが、数枚の中間平面絶縁層によって生じる。しかし、0.5マイクロメートル以下を計測するシーモス技術は比較的薄い絶縁層を利用するので、低抵抗シリコン基板における損失は追加的な手段なしに充分低く維持され得ない。基板固有の損失を減らすためにこの種の可変要素の使

用、例えば高抵抗シリコンウェーハの使用、（高抵抗シリコンウェーハベース上での）SOI基板の使用、SOS基板の使用、らせん（エアブリッジ）下のシリコンの除去、比較的低い誘電定数を有する誘電材料の使用、例えば二酸化ケイ素重合体の使用が提案されている。非常に厚い絶縁層の上を覆う数マイクロメートル厚の金属層中の金属らせんを形成することが提案されており、そして、両方の層は回路に要求されるシーモス構造より上にさらに形成される。この種の可変要素は、確立されたシーモス技術が修正されなければならない、あるいは、半導体基板がより高価であるという欠点を有する。さらに、これらの可変要素は通常、集積回路の全て、例えば、特に、レジスタ、コンデンサ、導体及び結合パッドなどの他の受動素子に対して使用され得るわけではなく、それらは又、寄生的静電容量によって影響される。

【0004】

【発明が解決しようとする課題】

本発明の目的は、寄生容量性の影響を低減させた集積回路及びその製作の方法の提案であり、寄生容量性の影響は集積回路のそれぞれの要素においても減少される。さらに、現代のシーモス技術の接触及び導体系を実現する技術的なシーケンスは、不利な影響を受けず、そして、追加的プレーナ化ステップは必要でなくなっている。

【0005】

【課題を解決するための手段】

その目的は、厚さ少なくとも5マイクロメートルの部分的な絶縁層によって実現され、それは集積回路の要素の領域に部分的に限定され、そして半導体基板に埋設されている。

寄生の影響から起きる損失は、使用されるシリコン基板の特定の電気抵抗値に依存するが、その損失は相当に減少し、その結果、集積インダクタンスの質は、埋設された絶縁層の厚さの選択値の関数として増加し、従来のシーモスに依拠したプレーナインダクタンスと比較して約40%以上となり得る。

【0006】

ここで提案された絶縁可変要素の基本的な特徴は、集積回路に続いて形成され

た要素の領域に制限された厚い埋め込まれた酸素物の形成にある。このようにして、構造上の高さの大きな差異及び、それ故、複合的なプレーナ手段は続く技術的行程において回避される。それ故、強く拡大・縮小されたシーモス又はバイシーモス構造を作る行程は、高品質の集積インダクタンスを実現するためにらせんと基板との間に追加的な厚い絶縁層を挿入する必要によって、不利な影響を受けることはない。本発明による集積回路の製造は、以下の行程に従って実行される。即ち、

- ・シリコンウェーハ表面をマスキングする行程と、
- ・異方性エッチングによって、モート (moat、凹部) 及びリブ (rib、ひだ) を形成する行程と、
- ・選択的犠牲酸化、即ち、酸素を除去してリブとモート間の幅の比を最適化することによるリブの部分的な減酸素の行程と、
- ・リブを全酸化してシリコン酸化物に変換し、そして少なくとも、表面に隣接するモートを2酸化ケイ素の析出によって満たす行程と、
- ・集積回路の要素を製造するための所与の処理における固有な部分的行程を利用することにより集積回路のそれぞれの要素を製造するためのシーモス処理又はシーモス互換シリコン処理の行程とを含み、寄生的影響を低減した要素が厚い酸化物の埋設された領域の上に形成されることを特徴としている。

【0007】

- 更に、本発明による集積回路は又、以下によって製造される。即ち、
- ・p型シリコンウェーハ表面をマスキングする行程と、
 - ・マスクされないp型シリコン領域を多孔シリコンに変換する行程と、
 - ・多孔シリコン層を酸化してシリコン酸化物にする行程と、
 - ・集積回路の要素を製造するための所与の処理において固有の部分的行程を利用することによって、集積回路のそれぞれの要素を製造するためのシーモス処理又はシーモス互換シリコン処理の行程と、を含み、寄生的影響が低減された要素が埋設された厚い酸化領域の上に形成されることを特徴としている。

【0008】

本発明の特徴は、請求項から明らかなだけでなく、詳細な説明及び図からも

明らかであり、保護は特許可能な実施例を構成する要素それ自身又は従属項に求められるべきである。本発明の実施例は以下において、より詳細に説明される。

【0009】

【発明の実施の形態】

実施例 1 :

図 1 は、本願発明による集積回路の一部として、インダクタンス構造を描いている模式立面図である。図 2 は、模式的にインダクタンスの横断面を描いている。集積インダクタンスは、らせん形成のための上部金属平面 1、絶縁層 2、内部接続 10 の接触を形成する下部金属平面 3、絶縁層 4、領域酸化層 5、チャンネル停止層 6、埋設された厚い部分絶縁層 7、並びに、半導体基板 8 を含む。領域酸化層 5 及びチャンネル停止層 6 は、集積インダクタンス領域外にのみ配設されている。埋設された厚い部分絶縁層 7 は、金属層 1 及び 3 の下のインダクタンス領域内に配列される。

【0010】

インダクタンス製造のために、約 10 マイクロメートルの深さのモートが、シリコンウェーハ中に異方性エッチングによってエッチングマスクを使って、次の処理、即ち代わりのモートとリブが形成される処理において形成される集積インダクタンスの領域中に、形成される。リブとモートの幅は選択されてその結果、熱的酸化過程によってリブをシリコン酸化物に変換する引き続く行程の間、モートは 100 ナノメートルから 300 ナノメートルの残留幅で閉じられる。容積の増加によって、0.8 マイクロメートル幅のリブと 1.2 マイクロメートル幅のモートが、全酸化に伴って 150 ナノメートルから 200 ナノメートル幅の残留モートを生じる。リブ及びモートの幅の比は、酸素除去に伴って先行して起きるリブの犠牲酸化又は部分的減酸素によって、選択的に正確に実現され得る。全酸化後に残る残留モートは、少なくともその表面近くでは、少なくともその表面付近において続いて起きる例えば CVD プロセス（化学蒸着法）による二酸化ケイ素の沈殿によって、完全に閉じられる。このシーケンスによって埋設された絶縁層 7 が生じ、その厚さはエッチングされたモートの深さによって画定される。CVD 酸化層を表面から、及び、モートのエッチングのためのエッチングマスクを

除去すると、適切なシーモスプロセスが続いて行われる。代わりに、エッチングマスクは、部分的又は完全にリブの酸化に先立って除去される。集積インダクタンスは、シーモスプロセスにおける接触及び導体システムを使用することにより、埋設された厚い絶縁層 7 の上に実現される。

実施例 2 :

第 1 の実施例による方法の可変要素として、集積インダクタンスは、以下の方法のステップによって製作される。p 型シリコンウェーハの表面がおおわれ、そして、p 型シリコンのマスキングされない領域はフッ化水素酸の中への陽極反応によって多孔シリコンに変換され、その多孔質シリコン層の厚さは 6 マイクロメートルから 20 マイクロメートルの間である。多孔質層の所望の厚さは、電流の強さと時間によって設定される。電流密度は、1 平方センチメートル当たり 10 ミリアンペアの間で、好ましくは 1 平方センチ当たり 40 ミリアンペアから 50 ミリアンペアの間である。有孔率は、フッ化水素酸の濃度によって、確定的に画定する。本実施例において、フッ化水素酸の質量比濃度は、40%から 50%の間である。多孔質シリコン層は、続いて、酸化される。酸化される多孔質層とその後形成される酸化層領域 5 との間の厚さの比に従って、酸化領域層 5 の形成物と酸化物とを結合することは、本発明の範囲内である。減酸素状態を適切に選択することによって、最適なシリコンの有孔率は 56% を目標とし、その結果、シリコンを二酸化ケイ素に変換する間の容積の変化は結果として起きる応力を最小にすべく考慮される。集積インダクタンスの製造の完成へ続いて起きる段階は、最初の実施例に類似して実行される。

【0011】

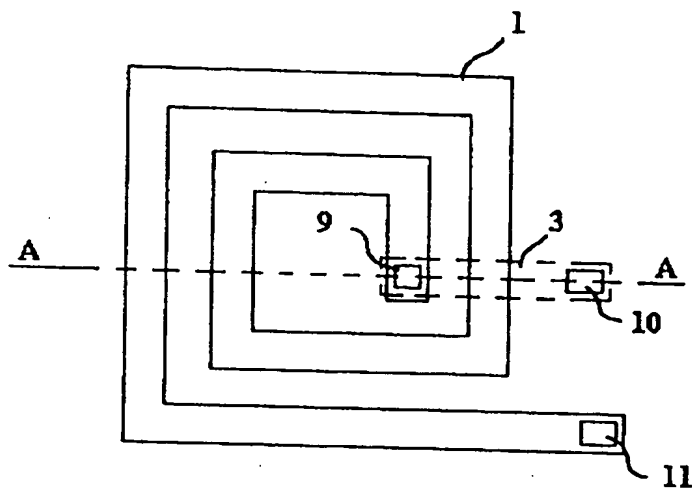
寄生容量性影響を低減させる集積回路とその製造方法が、本発明によって開示された。しかし、注意すべきことは本発明は、述べられた実施例の詳細に限定されるものではないこと、そして、請求の範囲において請求された修正と変更態様が請求されていることである。絶縁層は集積回路の要素領域に限定され、半導体基板中に埋設されており、集積インダクタンスを製造するためにだけ好適なばかりではなく、集積回路の他の要素、とりわけより受動的な抵抗器やコンデンサ並びに導体や接続パッドなどにも好適である。

【図面の簡単な説明】

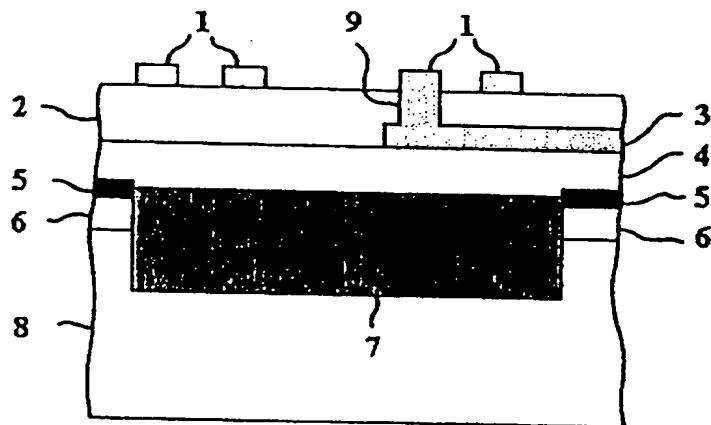
【図 1】 インダクタンス構造の模式立面図である。

【図 2】 インダクタンスの模式断面図である。

【図 1】



【図 2】



【手続補正書】特許協力条約第34条補正の翻訳文提出書

【提出日】平成11年12月21日(1999.12.21)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【発明の名称】 集積回路のための埋設絶縁層を有する半導体基板

【特許請求の範囲】

【請求項1】 寄生容量性の影響を低減した集積回路であって、半導体基板(8)に埋設されている部分絶縁層(7)を含み、前記絶縁層(7)は厚さが少なくとも5マイクロメートルであり、前記集積回路の特定の領域、すなわち、特定の受動要素に局限されていることを特徴とする集積回路。

【請求項2】 請求項1に記載の集積回路であって、半導体基板(8)に埋設されて厚さが少なくとも5マイクロメートルの部分絶縁層(7)の局限された領域が1以上の集積インダクタンス、1以上の集積レジスタ、1以上の集積キャパシタ、1以上の集積結合パッド及び／又は1以上の導体である事を特徴とする請求項1記載の集積回路。

【請求項3】 請求項2記載の集積回路であって、その集積インダクタンスが、らせん形成のための少なくとも1の上部金属面(1)と、絶縁層(2)と、内部コネクタ(10)の接触を形成するための下部金属面(3)と、絶縁層(4)と、酸化物領域層(5)と、チャネル停止層(6)と、少なくとも5マイクロメートルの厚みを有する埋設部分絶縁層(7)と、並びに、半導体基板(8)と、を含むことを特徴とする集積回路。

【請求項4】 部分埋設絶縁部を含むシーモス又はシーモス互換シリコン技術による集積回路の製造方法であって、

シリコンウェーハの表面をマスクングする行程と、

異方性エッチングによってモートの深さを少なくとも5マイクロメートルにしかつリブの幅比を約3.2とし並びにモートを全てのモートとリブのアレイにわ

たって25%広く引くよう形成する行程と、

プレストレス及び引き続く処理段階における位置ずれが形成される可能を低減するための選択的犠牲酸化の行程、即ち、リブとモートの幅の間の比率を最適化するために酸化物を除去することによるリブの部分的減酸素の行程と、

全リブを二酸化ケイ素に酸化させ、そして、少なくとも表面に隣接する残留モートをシリコン酸化物の析出によって満たし、そこにおいて前記酸化領域の中間領域にキャビティが残って誘電定数を効果的に増加させる更なる利点を提供する行程と、

前記集積回路の前記各要素を製造するためのシーモス処理又はシーモス互換シリコン処理行程と、を含み、前記集積回路の前記要素を製造するための前記所与の処理に特有の部分的行程を利用して、前記集積回路の受動要素が寄生的影響を低減するために厚さ少なくとも5マイクロメートルの埋設された絶縁層（7）の領域の上に形成されることを特徴とする方法。

【請求項5】 請求項4記載の方法であって、

前記シリコンウェーハの前記表面をマスクングする行程と、

深さが少なくとも5マイクロメートルのモートとリブを異方性エッチングによって形成する行程と、

選択的犠牲酸化の行程、即ち、前記リブと前記モートの幅の間の比率を最適化するために酸化物を除去することによる前記リブの部分的減酸素の行程と、

前記全リブを二酸化ケイ素に酸化させ、そして、少なくとも前記表面に隣接する前記モートをシリコン酸化物の析出によって満たす行程と、

前記埋設された厚い酸化物の前記領域の上に、前記所与の処理に存在する前記接触及び導体系を用いて、インダクタンスを製造するためのシーモス処理又はシーモス互換シリコン処理行程と、を含むことを特徴とする方法。

【請求項6】 請求項4又は5に記載の方法であって、少なくとも5マイクロメートルの深さのモートをエッチングする行程であり、前記リブとモートの前記幅が選択されて、その結果、続いて前記リブが酸化によって二酸化ケイ素に完全に変換される間に、残留幅が約100ナノメートルから300ナノメートルの

間でない限り、前記モートは閉じられることを特徴とする方法。

【請求項7】 請求項4乃至6記載の方法であって、0.8マイクロメートルのリブ幅と、1.2マイクロメートルのモート幅とが形成され、そして、このモートとリブのアレイがより広い約1.5マイクロメートル幅のモートによって囲まれるように、モートを少なくとも5マイクロメートルの深さにエッチング処理することを特徴とする方法。

【請求項8】 請求項4乃至6記載の方法であって、0.8マイクロメートルのリブ幅と、1.2マイクロメートルのモート幅に形成されるように、モートを少なくとも5マイクロメートルの深さに引き続く追加的な酸化行程によって形成することを特徴とする方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、寄生容量性の影響を低減した集積回路、及び、その製造方法に関する。

【0002】

【従来技術】

寄生容量性の影響の低減は、特に現代のシーモス技術においてずっと重要性を増している。集積回路がバイホーラ技術によって実現される場合、インダクタンス又は他の受動素子の基板固有の容量性及び抵抗損は、高抵抗又は半絶縁基板を使用することによって低く押さえられ得る。しかし、低コスト、低電力消費及び小型化の故に、シーモス技術がより好まれると推測されよう。

【0003】

例えば、インダクタンスのような受動素子の集積化は特に、緊急に必要であり、特にシリコン基板上のモノリシックRF（高周波）トランシーバスイッチング回路を実現するために必要である。この種の受動素子に対するギガヘルツ（GHz）範囲におけるインピーダンス整合が必要である。シーモス技術がセルラ方式又はLANのためのRFトランシーバを製作する要求事項を満たす場合、このことは通常使用される低抵抗のSi基板（一般的に1から10オームセンチメートル（ Ωcm ）

)) の故に、インダクタンスの所望された高い品質は先験的 (a priori) に達成され得ないことを意味する。とりわけ、これらの受動素子を最適化することは、抵抗損失及び容量性寄生を最小にすることによって、品質要因を最大にすることである。基板固有の損失は、可能な限りインダクタンスのらせん形のパスをシリコン基板から除去することによって減少可能であり、それは例えばマルチ層導体系において、らせんのための最上層を使用することによって可能であり、その結果、らせんと基板との間に十分な絶縁厚さが、数枚の中間平面絶縁層によって生じる。しかし、0.5マイクロメートル以下を計測するシーモス技術は比較的薄い絶縁層を利用するので、低抵抗シリコン基板における損失は追加的な手段なしに充分低く維持され得ない。基板固有の損失を減らすためにこの種の可変要素の使用、例えば高抵抗シリコンウェーハの使用、(高抵抗シリコンウェーハベース上での) SOI基板の使用、SOS基板の使用、らせん (エアブリッジ) 下のシリコンの除去、比較的低い誘電定数を有する誘電材料の使用、例えば二酸化ケイ素重合体の使用が提案されている。非常に厚い絶縁層の上を覆う数マイクロメートル厚の金属層中の金属らせんを形成することが提案されており、そして、両方の層は回路に要求されるシーモス構造より上にさらに形成される。この種の可変要素は、確立されたシーモス技術が修正されなければならない、あるいは、半導体基板がより高価であるという欠点を有する。さらに、これらの可変要素は通常、集積回路の全て、例えば、特に、レジスタ、コンデンサ、導体及び結合パッドなどの他の受動素子に対して使用され得るわけではなく、それらは又、寄生的静電容量によって影響される。

【0004】

米国特許第 5, 548, 150 号は、SOI 基板上のフィールド効果トランジスタについて開示しており、そこでは速度を早めるためにアクティブ層の下に絶縁層が配設されてアクティブ要素を形成している。ウェーハ結合によって作られた特定の SOI 基板の更なる応用は、集積インダクタンスの製造を示している。シリコンはらせん領域の中から除去されるので、所望されない高さの違いが結果として起きる。その代わり、多孔質 (それ故、高抵抗) の Si が寄生を低減するため他の実施例で使われている。

【0005】

米国特許第4, 910, 165号は、酸化多孔質シリコンを使って誘電体絶縁エピタキシャル・シリコンアイランドを形成して、そこにアクティブ要素が続いて形成されることを述べている。ここでも又、フィールド効果とバイポーラトランジスタの速度の向上は、エピタキシャルSiアイランド及びより厚い絶縁層による基板との間における直接容量性結合を低減することによって、もたらされる。

【0006】

p型基板上の厚い多孔質二酸化ケイ素層はプレーナインダクタンスのためであり、そして、他の受動要素はC. M. Namらによる「厚い酸化多孔質ケイ素基板上の高性能プレーナインダクタ」(IEEEマイクロウェーブと導波レター、巻7、第8、236ページ)の中で明らかにされている。厚い絶縁層は大きな表面として形成されるので、この基板がシーモスあるいはシーモス互換処理の出発点としては使用不可能である。米国特許第5, 736, 749号はインダクタンスを含む集積回路を開示している。インダクタンスは少なくとも200マイクロメートル厚の多孔質シリコン領域の上に形成される。それは部分的な高抵抗基板領域に対応する。高抵抗基板を使うことは寄生容量性を低減する基本的な可能性の1つである。しかし、大きな直径を有するウェーハにおいては入手不可能であり、そして、ラッチ・アップを抑制するために追加的な技術処理を必要とする。

【0007】

【発明が解決しようとする課題】

本発明の目的は、寄生容量性の影響を低減させた集積回路及びその製作の方法の提案であり、寄生容量性の影響は集積回路のそれぞれの要素においても減少される。さらに、現代のシーモス技術の接触及び導体系を実現する技術的なシーケンスは、不利な影響を受けず、そして、追加的プレーナ化ステップは必要でなくなっている。

【0008】

【課題を解決するための手段】

その目的は、厚さ少なくとも5マイクロメートルの部分的な絶縁層によって実現され、それは集積回路の要素の領域に部分的に限定され、そして半導体基板に埋

設されている。

寄生の影響から起きる損失は、使用されるシリコン基板の特定の電気抵抗値に依存するが、その損失は相当に減少し、その結果、集積インダクタンスの質は、埋設された絶縁層の厚さの選択値の関数として増加し、従来のシーモスに依拠したプレーナインダクタンスと比較して約40%以上となり得る。

【0009】

ここで提案された絶縁可変要素の基本的な特徴は、集積回路に続いて1度だけ形成された受動要素の領域に応力無しに形成される制限された厚い埋め込まれた酸素物の形成にある。このようにして、構造上の高さの大きな差異及び、それ故、複合的なプレーナ手段は続く技術的行程において回避される。それ故、強く拡大・縮小されたシーモス又はバイシーモス構造を作る行程は、高品質の集積インダクタンスを実現するためにらせんと基板との間に追加的な厚い絶縁層を挿入する必要によって、不利な影響を受けることはない。本発明による集積回路の製造は、以下の行程に従って実行される。即ち、

- ・シリコンウェーハ表面をマスキングする行程と、
- ・異方性エッチングによって、モート (moat、凹部) 及びリブ (rib、ひだ) を形成する行程と、
- ・選択的犠牲酸化、即ち、酸素を除去してリブとモート間の幅の比を最適化することによるリブの部分的な減酸素の行程と、
- ・リブを全酸化してシリコン酸化物に変換し、そして少なくとも、表面に隣接するモートを2酸化ケイ素の析出によって満たす行程と、
- ・集積回路の要素を製造するための所与の処理における固有な部分的行程を利用することにより集積回路のそれぞれの要素を製造するためのシーモス処理又はシーモス互換シリコン処理の行程とを含み、寄生的影響を低減した要素が厚い酸化物の埋設された領域の上に形成されることを特徴としている。

【0010】

更に、本発明による集積回路は又、以下によって製造される。即ち、

- ・p型シリコンウェーハ表面をマスキングする行程と、
- ・マスクされないp型シリコン領域を多孔シリコンに変換する行程と、

- ・ 多孔シリコン層を酸化してシリコン酸化物にする行程と、
- ・ 集積回路の要素を製造するための所与の処理において固有の部分的行程を利用することによって、集積回路のそれぞれの要素を製造するためのシーモス処理又はシーモス互換シリコン処理の行程と、を含み、寄生的影響が低減された受動的要素が埋設された厚い酸化領域の上に形成されることを特徴としている。

【0011】

本発明によって提供される特徴は、例えばインダクタンス、キャパシタンスあるいは抵抗のような基板に固有の受動要素の損失が非常に低減されることである。特別な特徴は、埋設酸化領域を製造するために適用される全処理はシーモス互換であり、それ故、どんな非従来方法段階をも含まないことである。それ故、確立されたシーモスあるいはシーモス互換シリコン技術は修正される必要がなく、そして、コストパフォーマンスのある半導体基板が利用される。特に構造距離が0.5マイクロメートルより小さいシーモス技術や、非常に低い抵抗基板（0.1オームセンチメートルより小）がラッチアップ抑制のために使用される場合、部分埋設絶縁を集積インダクタンスに用いるのは利点がある。これらの基板においてはQファクタと固有共鳴周波数は、少なくとも100%増加する。本発明による解決は、特に、抵抗、キャパシタンス、導体、そして結合パッドなど、集積回路の寄生容量性影響にさらされる全ての他の受動要素に一般に適用可能である。

【0012】

本発明の特徴は、請求項から明らかなだけではなく、詳細な説明及び図からも明らかであり、保護は特許可能な実施例を構成する要素それ自身又は従属項に求められるべきである。本発明の実施例は以下において、より詳細に説明される。

【0013】

【発明の実施の形態】

図1は、本願発明による集積回路の一部として、インダクタンス構造を描いている模式立面図である。図2は、模式的にインダクタンスの横断面を描いている。集積インダクタンスは、らせん形成のための上部金属平面1、絶縁層2、内部接続10の接触を形成する下部金属平面3、絶縁層4、領域酸化層5、チャネル

停止層 6、埋設された厚い部分絶縁層 7、並びに、半導体基板 8 を含む。領域酸化層 5 及びチャンネル停止層 6 は、集積インダクタンス領域外にのみ配設されている。埋設された厚い部分絶縁層 7 は、金属層 1 及び 3 の下のインダクタンス領域内に配列される。

【0014】

インダクタンス製造のために、約 10 マイクロメートルの深さのモートが、シリコンウェーハ中に異方性エッチングによってエッチングマスクを使って、次の処理、即ち代わりのモートとリブが形成される処理において形成される集積インダクタンスの領域中に、形成される。リブとモートの幅は選択されてその結果、熱的酸化過程によってリブをシリコン酸化物に変換する引き続く行程の間、モートは 100 ナノメートルから 300 ナノメートルの残留幅で閉じられる。容積の増加によって、0.8 マイクロメートル幅のリブと 1.2 マイクロメートル幅のモートが、全酸化に伴って 150 ナノメートルから 200 ナノメートル幅の残留モートを生じる。リブ及びモートの幅の比は、酸素除去に伴って先行して起きるリブの犠牲酸化又は部分的減酸素によって、Si リブの幅を減少させ、モートの幅を拡大させるために、選択的に正確に実現され得る。並行モートとリブの全アレイはそれよりも 25% 広いモートによって囲まれる。このモートは、特に、長い Si の端部において変換の間、プレストレスを防ぐ。全酸化後に残る残留モートは、少なくともその表面近くでは、少なくともその表面付近において続いて起きる例えば CVD プロセス（化学蒸着法）による二酸化ケイ素の沈殿によって、完全に閉じられる。このシーケンスによって埋設された絶縁層 7 が生じ、その厚さはエッチングされたモートの深さによって画定される。この酸化領域の中間領域に残るキャビティは、効果的に低減された誘電定数の更なる利点を示す。CVD 酸化層を表面から除去、及び、モートのエッチングのためのエッチングマスクを除去すると、適切なシーモス 又はシーモス互換シリコン プロセスが続いて行われる。代わりに、エッチングマスクは、部分的又は完全にリブの酸化に先立って除去される。集積インダクタンスは、シーモスプロセスにおける接触及び導体システムを使用することにより、埋設された厚い絶縁層 7 の上に実現される。

【0015】

寄生容量性影響を低減させる集積回路とその製造方法が、本発明によって具体的な実施例に基づいて開示された。しかし、注意すべきことは本発明は、詳細な説明に述べられた実施例の詳細に限定されるものではないこと、そして、請求の範囲において請求された修正と変更態様が請求されていることである。絶縁層は集積回路の要素領域に限定され、半導体基板中に埋設されており、集積インダクタンスを製造するためにだけ好適なばかりではなく、集積回路の他の要素、とりわけより受動的な抵抗器やコンデンサ並びに導体や接続パッドなどにも好適である。

【図面の簡単な説明】

【図1】 インダクタンス構造の模式立面図である。

【図2】 インダクタンスの模式断面図である。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

Intern. Appl. No. PCT/DE 98/03794		
A. CLASSIFICATION OF SUBJECT MATTER IPC 6 H01L27/12 H01L21/84 H01L21/02		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 6 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 4 910 165 A (LEE STEVEN S ET AL) 20 March 1990	1,2
Y		9-16
A	see column 3, line 41 - column 6, line 7; figures 1-8	4,5
Y	NAM C -M ET AL: "HIGH-PERFORMANCE PLANAR INDUCTOR ON THICK OXIDIZED POROUS SILICON (OPS) SUBSTRATE" IEEE MICROWAVE AND GUIDED WAVE LETTERS, vol. 7, no. 8, 1 August 1997, pages 236-238, XP000658631	9-16
A	see page 236, column 1, line 19 - page 237, column 1, line 4; figure 1	1-3
	--- -/-	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "Z" document member of the same patent family		
Date of the actual completion of the international search 10 June 1999		Date of mailing of the international search report 21/06/1999
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentstein 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx 31 651 epo ns, Fax (+31-70) 340-3015		Authorized officer Albrecht, C

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

Intern. Appl. No.

PCT/DE 98/03794

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 548 150 A (OMURA ICHIRO ET AL) 20 August 1996 see column 25, line 39 - column 27, line 10; figures 76-81	1,2,9,10
P,X P,A	US 5 736 749 A (XIE YA-HONG) 7 April 1998 see column 3, line 34 - column 5, line 15; figures 1-3	1,2 4,5,9-16
A	PATENT ABSTRACTS OF JAPAN vol. 097, no. 007, 31 July 1997 & JP 09 082968 A (TOSHIBA CORP), 28 March 1997 see abstract	4,9,10
A	BARLA K ET AL: "SOI TECHNOLOGY USING BURIED LAYERS OF OXIDIZED POROUS SI" IEEE CIRCUITS AND DEVICES MAGAZINE, 1 November 1987, pages 11-15, XP000615747 see page 11, column 1, line 1 - page 13, column 1, line 28; figures 1-3	1,4,5, 9-16

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 98/03794

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 4910165 A	20-03-1990	JP 2137353 A	25-05-1990
		JP 2863813 B	03-03-1999
US 5548150 A	20-08-1996	JP 6268223 A	22-09-1994
		JP 7086580 A	31-03-1995
		JP 6318696 A	15-11-1994
		JP 7131032 A	19-05-1995
US 5736749 A	07-04-1998	JP 10154797 A	09-06-1998

フロントページの続き

(81)指定国 EP(AT, BE, CH, CY,
DE, DK, ES, FI, FR, GB, GR, IE, I
T, LU, MC, NL, PT, SE), JP, US

(72)発明者 ボルツェ クラウスーデトゥレフ
ドイツ連邦共和国 デー15232 フラン
クフルト ビルケナーレー 12

(72)発明者 グラボーラ トーマス
ドイツ連邦共和国 デー15232 フラン
クフルト ベレンドシュトラーセ 25

(72)発明者 ヴォルフ アンドレ
ドイツ連邦共和国 デー15230 フラン
クフルト フィッシャーシュトラーセ 31
ツェー

Fターム(参考) 5F038 AV06 AZ04 DF02 EZ20